



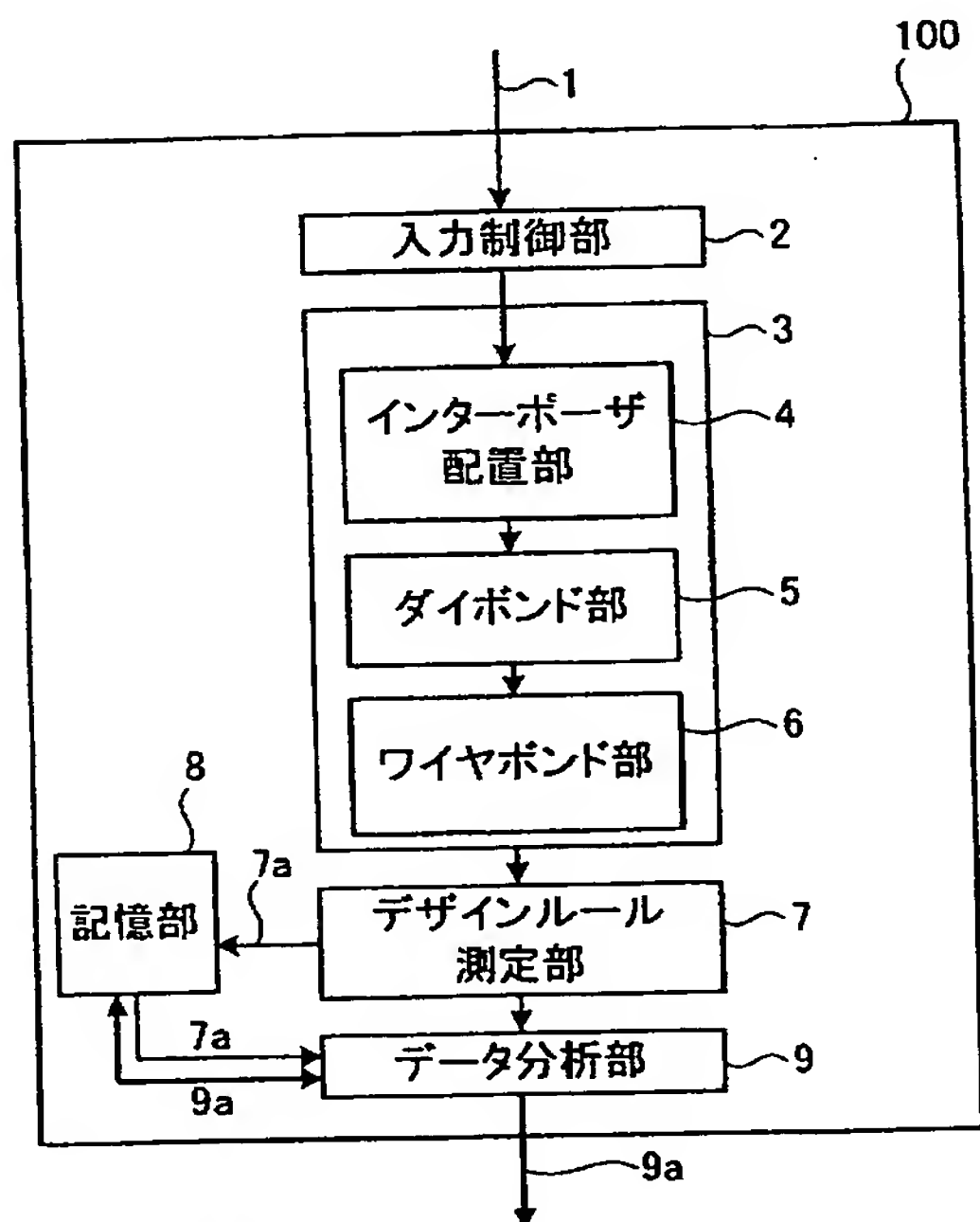
- (51) 国際特許分類<sup>7</sup>: H01L 21/60, 23/12, G06F 17/50  
(21) 国際出願番号: PCT/JP2004/016243  
(22) 国際出願日: 2004年11月1日 (01.11.2004)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP). 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 後藤 明広 (GOTO, Akihiro) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 松嶋

- 弘倫 (MATSUSHIMA, Hironori) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 小川 宏成 (OGAWA, Hiroshige) [JP/JP]; 〒6660024 兵庫県川西市久代三丁目13番21号 株式会社ケーディーエル内 Hyogo (JP). 松田 義雄 (MATSUDA, Yoshio) [JP/JP]; 〒6660024 兵庫県川西市久代三丁目13番21号 株式会社ケーディーエル内 Hyogo (JP).  
(74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒1006019 東京都千代田区霞が関三丁目2番5号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).  
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE DESIGN SUPPORT SYSTEM

(54) 発明の名称: 半導体装置の設計支援装置



- 2.. INPUT CONTROL PART  
4.. INTERPOSER ARRANGING PART  
5.. DIE BONDING PART  
6.. WIRE BONDING PART  
7.. DESIGN RULE MEASURING PART  
8.. STORAGE PART  
9.. DATA ANALYZING PART

(57) Abstract: A semiconductor device design support system for supporting wiring design of a bonding wire which connects a semiconductor chip with an interposer. The semiconductor device design support system is provided with a means for generating simulation design data by simulating generation of variance in arranging positions of the semiconductor chips on the interposer and generation of variance in positions of bonding wire connecting terminals of the interposer. The system is also provided with an analyzing means for analyzing troubles in semiconductor device manufacture due to the variance of the arranging positions of the semiconductor chips on the interposer and the variance in positions of the bonding wire connecting terminals of the interposer.

(57) 要約: 半導体チップとインターポーザとを接続するボンドワイヤの配線設計を支援する半導体装置の設計支援装置であって、半導体チップのインターポーザへの配置位置のばらつきの発生と、インターポーザのボンドワイヤ接続端子位置のばらつきの発生と、を模擬した模擬設計データを作成する手段を備える。また、前記模擬設計データに基づいて、前記半導体チップのインターポーザへの配置位置のばらつき、および前記インターポーザのボンドワイヤ接続端子位置のばらつきに起因した半導体装置の製造における不具合を分析する分析手段を備える。



SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, YU, ZA, ZM, ZW.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,  
NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可  
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,  
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,  
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,  
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,  
IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。